

維基夥伴獎學金 成果報告書

學生：黃政傑 9811001
指導學長：胡毓宸
指導教授：陳冠能

Why we use 3D IC ?

3D IC 不同於平面的晶片，乃是透過將多顆晶片進行三維空間的立體堆疊，可有效縮小晶片體積，使電子產品朝向輕薄短小且高整合度。

台灣在世界上有完整IC設計、晶圓製造、封裝及銷售的產業鍊，深具發展下世代主流新技術3D IC潛力。

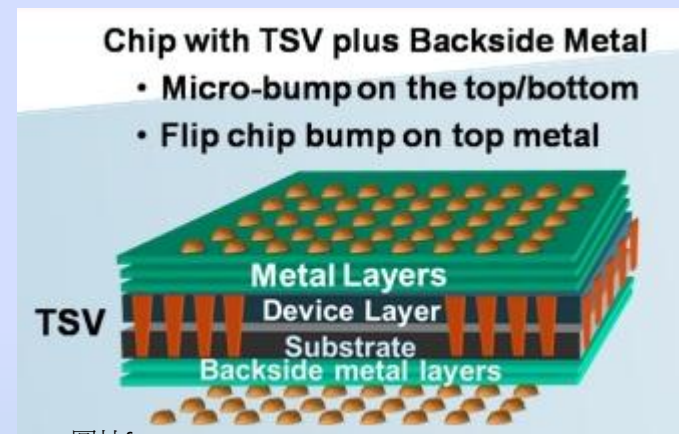


3D IC : TSV

TSV，中文為直通矽穿孔(Through-Silicon Via)，為3D IC裡重要的技術之一，這次專題主要是探討TSV導孔形成的蝕刻技術。

TSV的優點為：

1. 利用垂直導通的最短的路徑來更有效率地傳遞訊號與電力
2. 相較傳統的打線接合，有更低的電阻與電感
3. 提高連線密度
4. 提供異質整合(Heterogeneous Integration)



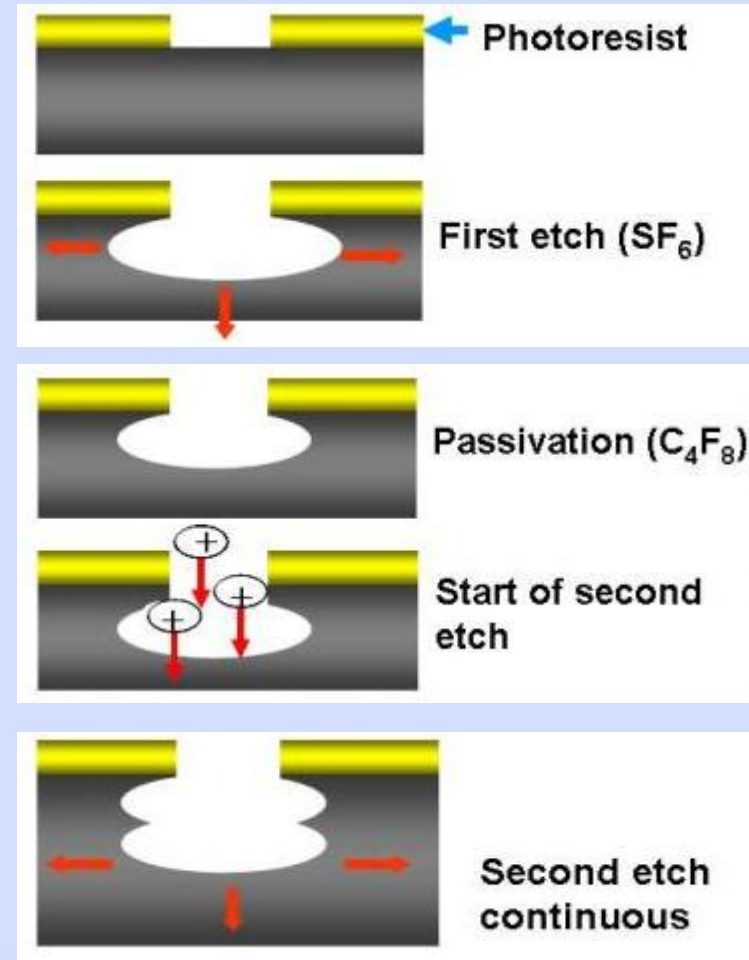
圖片 from

<http://www.cadence.com/Community/blogs/ii/archive/2010/04/19/eda-workshop-a-reality-check-on-3d-ics.aspx>

Via Formation : Bosch DRIE

Bosch process(深反應性離子蝕刻)：

- 是用來形成導孔的方法，Bosch DRIE利用
- Step 1. 電漿蝕刻(利用 SF_6 蝕刻silicon)
- Step 2. 表面鈍化(聚合物氣體 C_4F_8 保護側壁)
- Step 3. 離子轟擊(除去底部的保護層)
- Step1~Step3 為一個loop
- 調整 SF_6 及 C_4F_8 的流量，利用交替變換蝕刻(Etching)和鈍化(Passivation)方式，確保導孔側壁幾乎呈平直狀態。



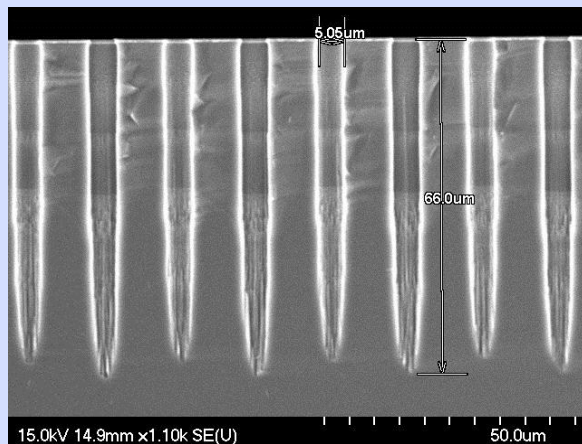
上圖為Bosch DRIE製程步驟與其所形成TSV導孔之SEM照片

資料來源

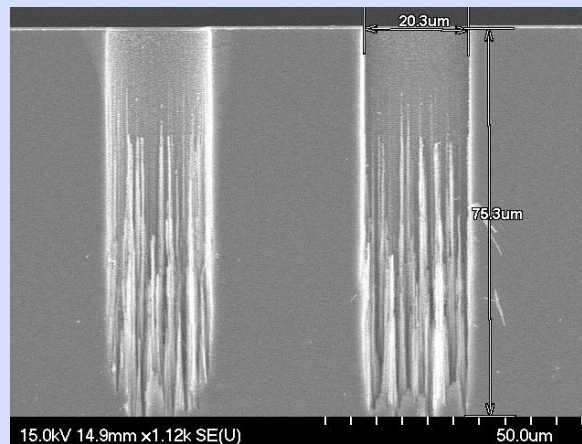
http://ssttpro.acesuppliers.com/semiconductor/Magazine_Details_Index_Id_1337.html

Bosch DRIE : Experiment Result

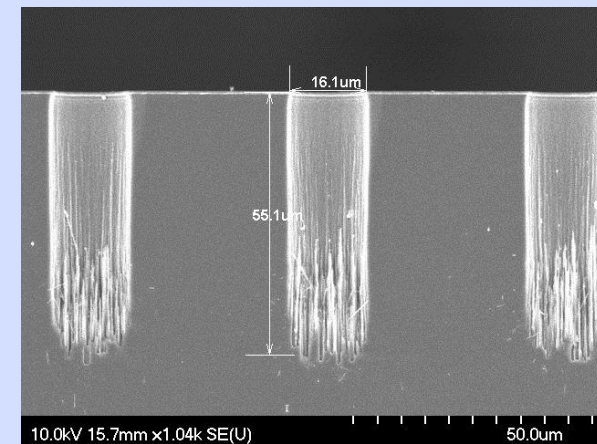
這是在相同的蝕刻loop數下，我們發現了不同孔徑下會有不同的蝕刻深度，以下為SEM所拍下來圖：



Diameter 5µm
Depth 66µm



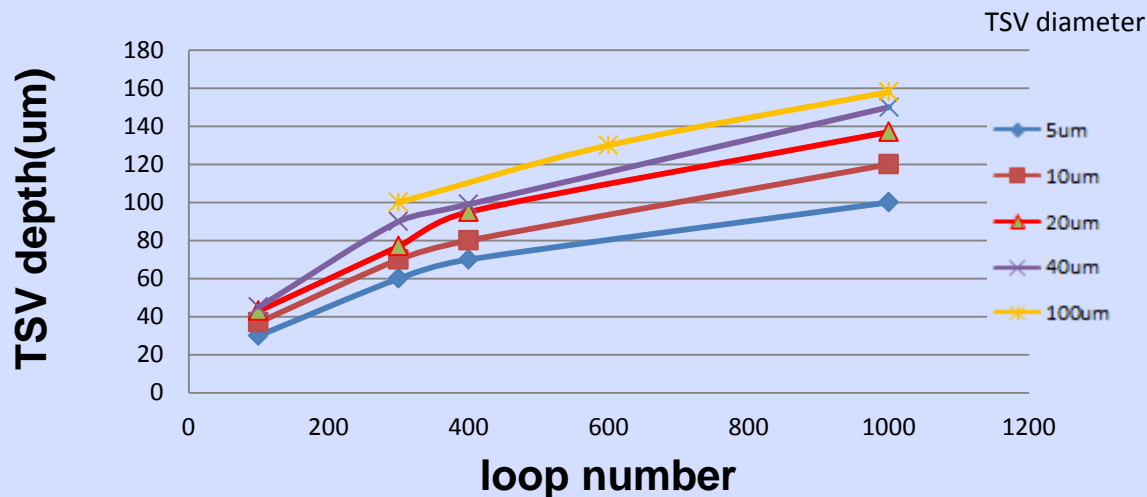
Diameter 20µm
Depth 75.3µm



Diameter 40µm
Depth 86.2µm

Conclusion and Future work

ICP Loop Number vs. TSV Etching Depth



結論

- TSV 孔徑越大，在相同loop數下蝕刻深度越深
- Loop 數越高，蝕刻深度越深
- 高aspect ratio的TSV，其蝕刻速率受深度影響

Future work:

在研磨晶圓試片時有發現，在側壁和底部有一根根細細的東西，為離子蝕刻時從hard mask上掉下來來的Al，因為我們採用鋁當阻擋層，遮蓋其他沒有要蝕刻的部分。此種現象稱為Micro masking effect，這樣會讓所做出來的TSV導孔影響後續製程，所以接下來的研究重點主要在如何去除micro masking。

