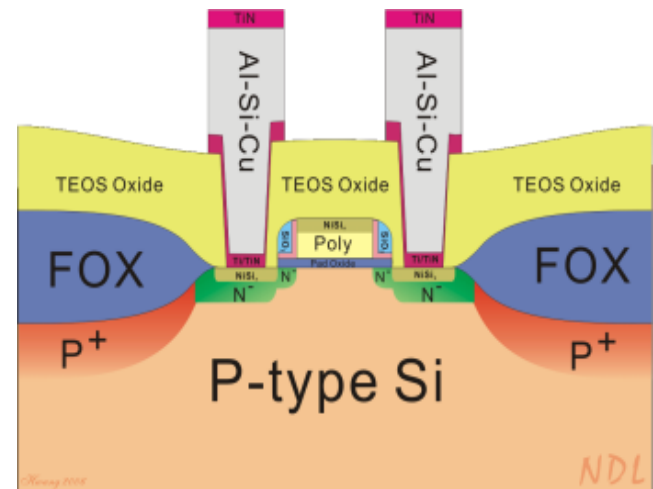


研究摘要與動機

三維積體電路關鍵技術之一為晶圓級接合（Wafer Level Bonding），本專題研究Bonding製程是否對元件電性造成影響，使元件無法工作或電性改變。過程使用相同n-MOSFET元件，透過不同「溫度」與「接合壓力」製程環境，完整的數據量測來觀察與分析，最後得出結論。

■ 選擇測試元件資訊如下：

1. Gate L/W(um)：0.35/10、1/10
2. n-MOSFET元件
3. 晶向：[100]



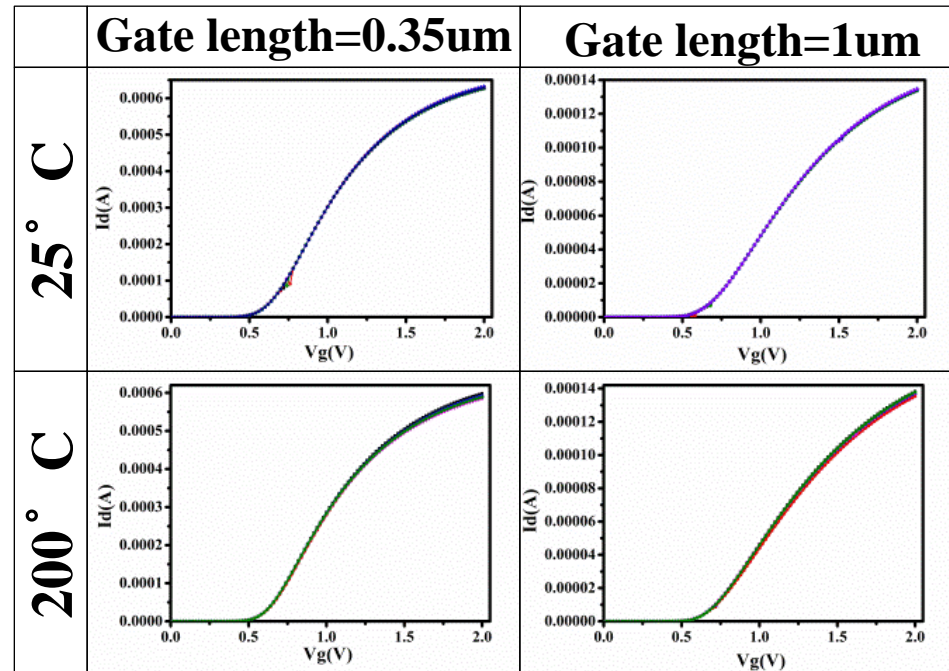
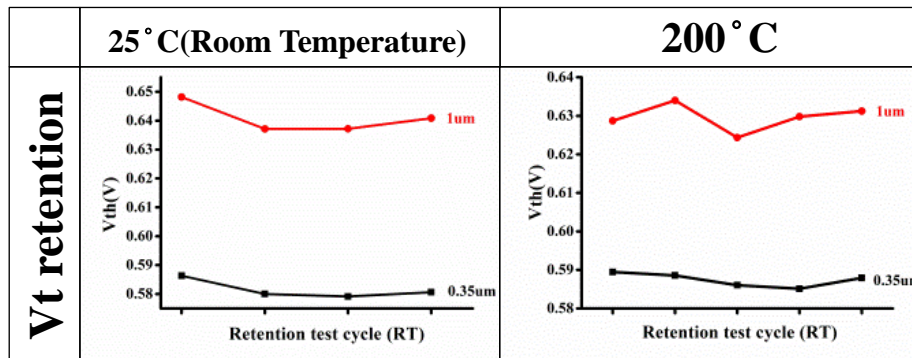
(圖1-1)元件剖面圖

Ref：NDL

元件可靠性測試

測試元件穩定性，將元件穩定性不足因素去除，確保電性變化是由Bonding製程影響，實驗設計如下：

- 第一部分：常溫且無製程下量測穩定度
- 第二部分：定溫 200°C ，測試高溫操作穩定性
- 定溫操作時間：50min
- 循環操作次數：5次



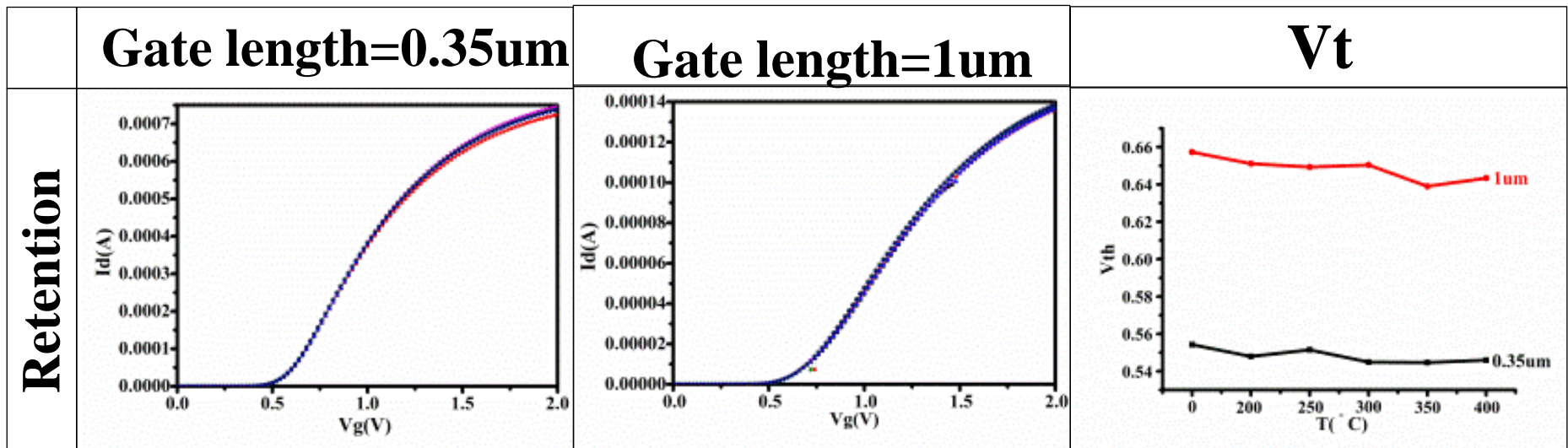
(表1-1)在常溫以及 200°C 下之 V_t

(表1-2)常溫以及 200°C 之I-V曲線

Bonding溫度對元件之影響

此階段使用 Bonder 進行製程，Bonding 設定參數有「溫度」與「接合壓力」兩種，此處設定接合壓力為零，觀察「溫度」造成的影響，環境設定如下：

- 取樣溫度($^{\circ}\text{C}$)：200、250、300、350、400
- 接合壓力(N)：0
- 接合時間：50分鐘
- 接合晶圓：Si

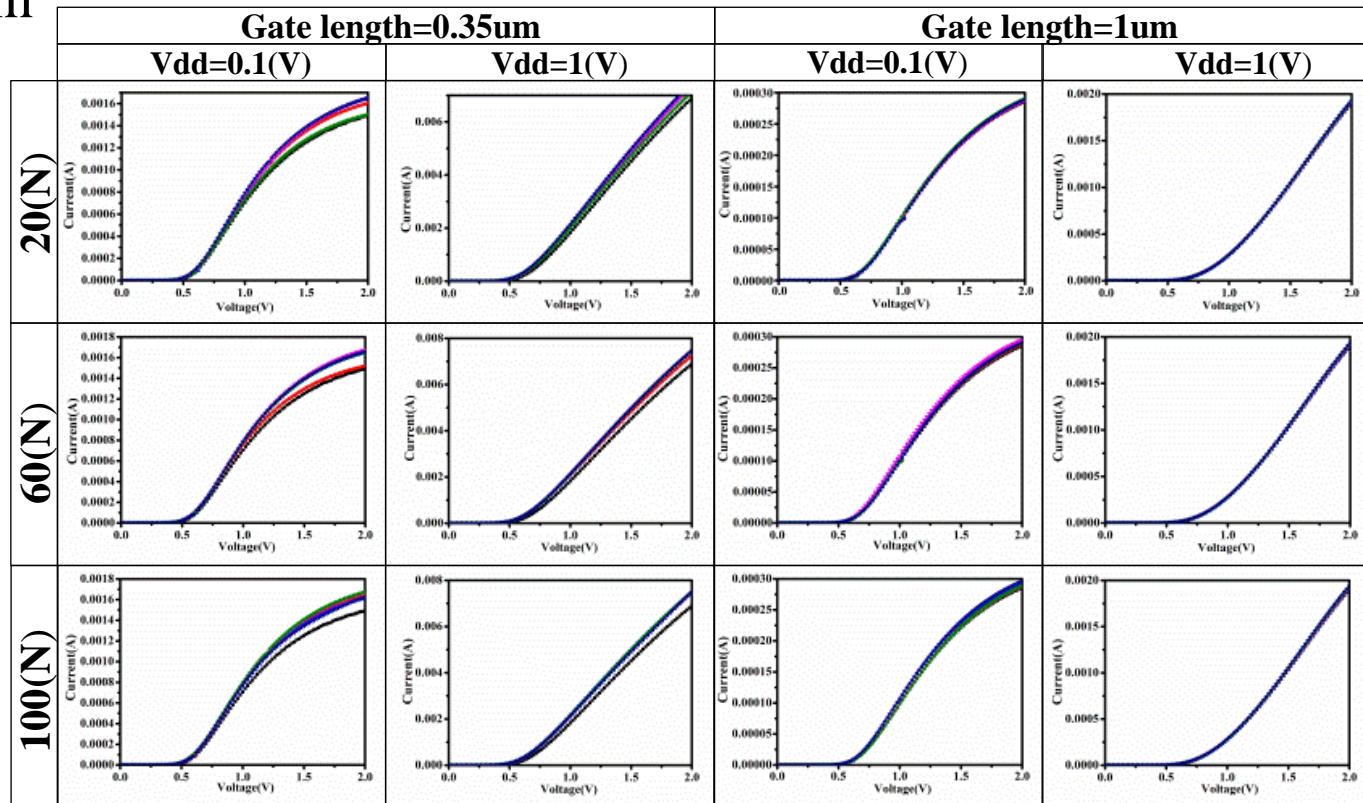


(表1-3) 不同取樣溫度的I-V曲線及Vt穩定度

Bonding接合壓力對元件之影響

最後階段設定的取樣溫度相同，加入「接合壓力」的環境設定參數，觀察「接合壓力」對元件的影響，環境設定如下：

- 取樣溫度($^{\circ}\text{C}$)：200、250、300、350、400
- 接合壓力(N)：20、60、100
- 接合時間：50min
- 接合晶圓：Si



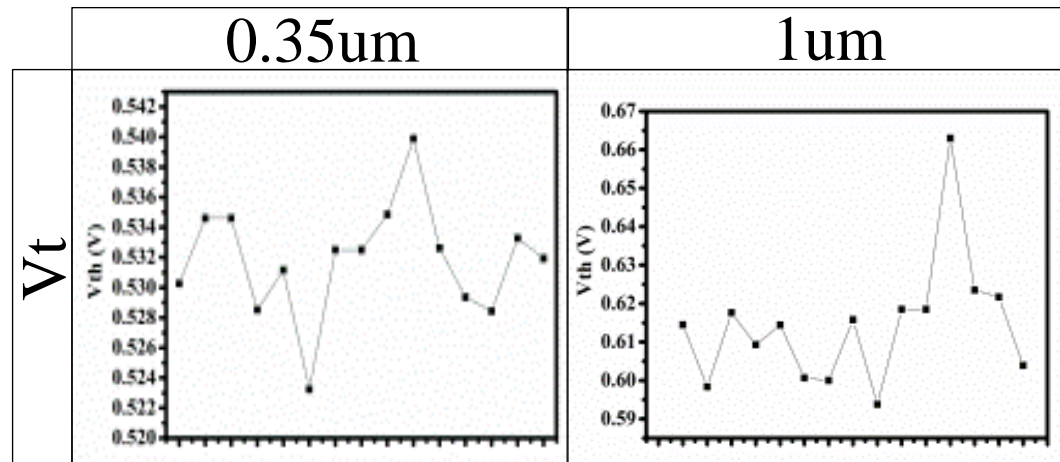
(表1-4) 不同取樣溫度及接合壓力的I-V曲線

結論

由專題實驗內容，首先測試元件可靠性，排除元件本身瑕疵，分別量測「溫度」及「接合壓力」的製程條件，得到數據可明顯觀察到電性未受影響。

結論：Bonding製程不會對Gate length=0.35um以上n-MOSFET元件特性造成過大影響。

Gate length	Vt 變化量	Vt 標準差
0.35um	0.017(V)	0.003761
1um	0.06(V)	0.017004



(表1-5)Vt 在不同溫度與接合壓力下的變化

未來展望：

1. High-k 材料元件於三維積體電路關鍵技術之應用
2. 晶圓接合技術對90nm以下電晶體元件之特性影響