

三維積體電路之堆疊誤差電性 量測設計

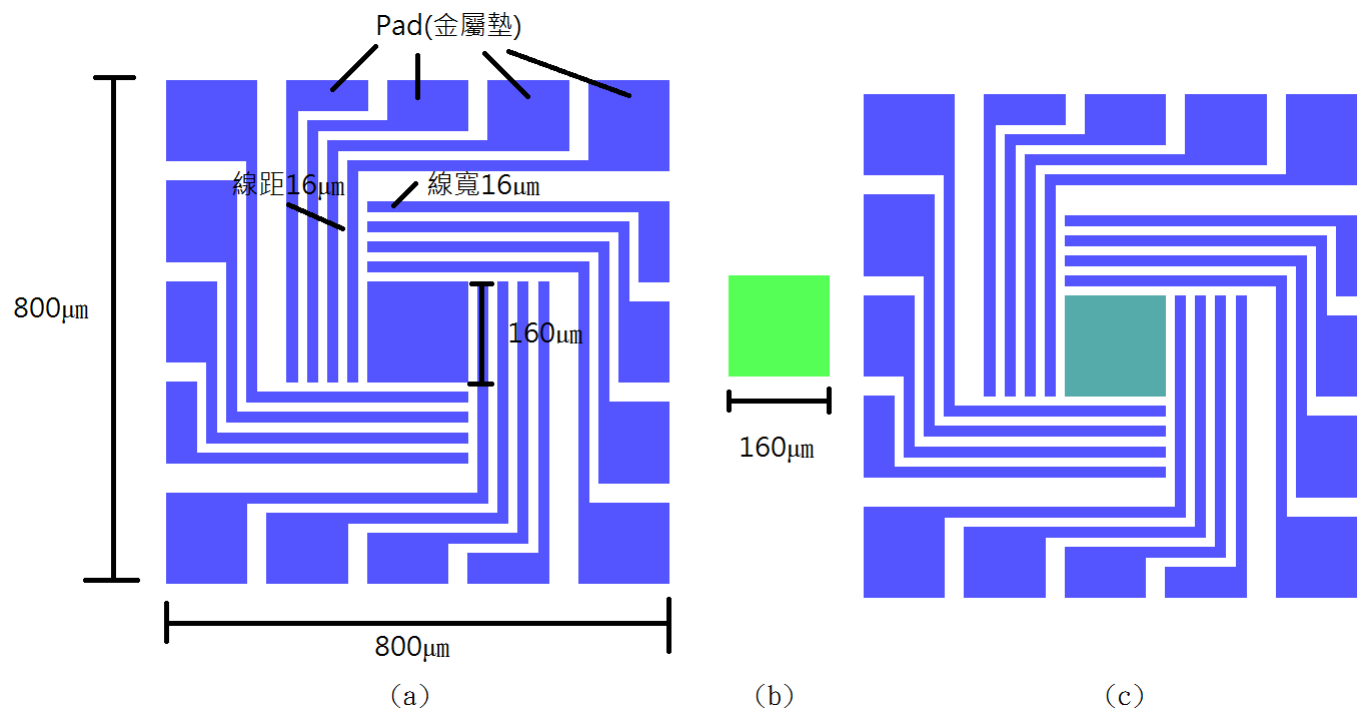
智慧型記憶體及晶片系統實驗室

指導教授：陳冠能

學生：郭書喬

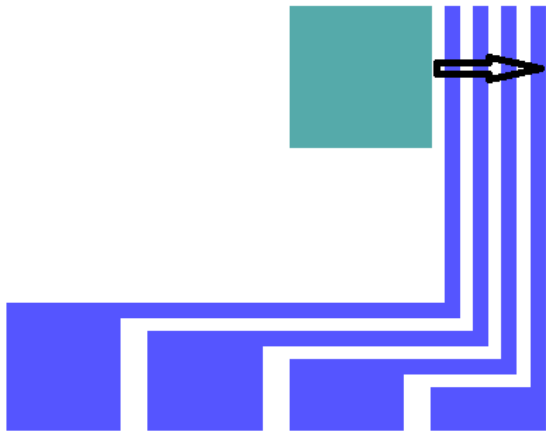
設計理念

- 測量堆疊誤差之三維積體電路，因誤差會影響電路效能。
- 當今校準以光學為主流，不過堆疊使我們無法用可見光直接校準，所以才深入研究利用電性量測的方式。
- 此圖為量測誤差圖形，深藍的是下層(a)，金屬墊為了方便電性量測、淺綠為上層(b)，而(c)為整體圖形。



設計位移偏差

- 測量此電路在不同位移量及尺寸，刻意讓上下兩層有位移量的誤差。
- 量測方式為測量上層正方形金屬和各個金屬墊間為斷路或導通來判斷。
- 由於導線寬度及導線間距關係，各金屬線位移量是一個範圍。把結構簡化成此圖，分析在各尺寸的差異。



尺寸(正方形邊長) 不同電路	導通情形(描述導通狀況，如圖中從左到右編號1、2、3、4，未描 述的金屬線為斷路) 位移量 μm			
	1	1、2	1、2、3	1、2、3、4
20 μm	2~6	6~10	10~14	14~*
40 μm	4~12	12~20	20~28	28~*
60 μm	6~18	18~30	30~42	42~*
80 μm	8~24	24~40	40~56	56~*
100 μm	10~30	30~50	50~70	70~*
120 μm	12~36	36~60	60~84	84~*
140 μm	14~42	42~70	70~98	98~*
160 μm	16~48	48~80	80~112	112~*

*受到圖形設計限制，如位移量過大會導致量測情形異常，不過是可以透過量測結果判斷。

製程流程

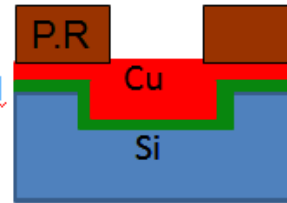
(1) Pr pattern



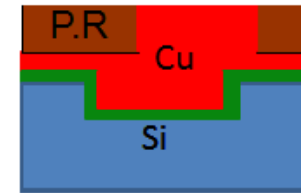
(4) CVD(Ti/TiN)



(7) ECD



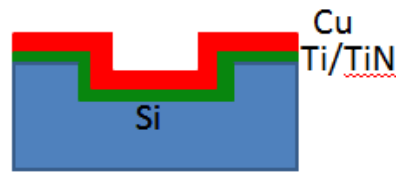
(10) ECD



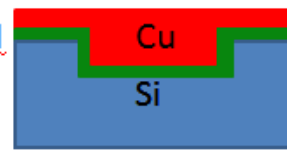
(2) Etching



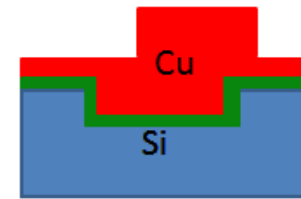
(5) Sputter(Cu)



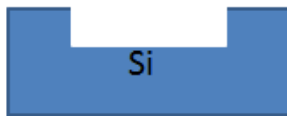
(8) Pr remove



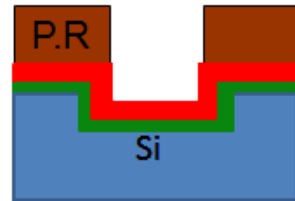
(11) Pr remove



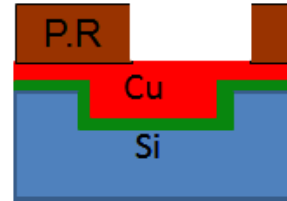
(3) Pr remove



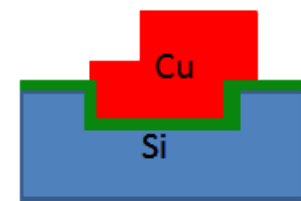
(6) Pr pattern



(9) Pr pattern



(12) Etch back



未來目標

- 面對面接合(face-to-face bonding)
- 金屬墊需接上直通矽晶穿孔(TSV)
- 縮小此結構所佔面積、準確率、良率
- 量測旋轉誤差、晶片彎曲、部份受熱形變
- 測試結構受外力影響量測

